

Patent Abstracts of Japan

PUBLICATION NUMBER : 55156336
PUBLICATION DATE : 05-12-80

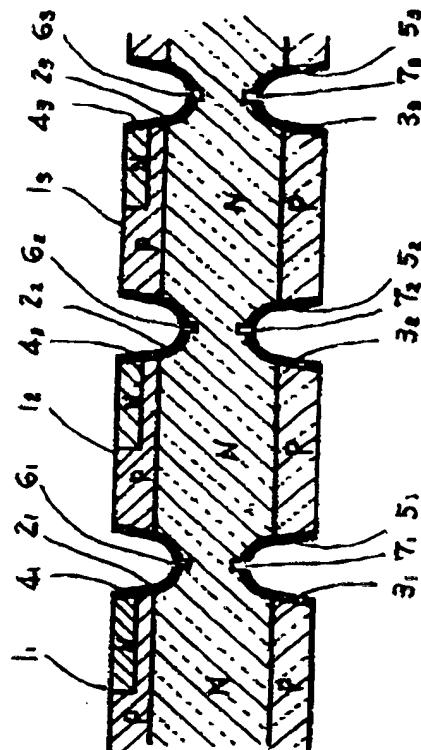
APPLICATION DATE : 03-04-80
APPLICATION NUMBER : 55044966

APPLICANT : NEC HOME ELECTRONICS LTD.

INVENTOR : KUMANO SHO II

INT.CL. : H01L 21/78

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prevent the occurrence of cracks on the glass film by providing notches on the glass film when forming a plurality of elements in the semiconductor wafer, providing mesa grooves at the boundaries between these elements, filling up these grooves with glass passivation films and then separating the wafer into individual elements mechanically at these mesa grooves.

CONSTITUTION: From both surface and rear sides of an N-type Si wafer, P-type impurities are diffused thereinto to form P-type regions and a plurality of N-type regions are provided in one of these P-type regions at surface side. Next, mesa grooves 2₁~2₃ abutting on the N-type regions, passing through the P-type region and extending into the N-type wafer itself by etching are formed, so that the P-type region at surface side is divided into 1₁~1₃. Thereafter, mesa grooves 3₁~3₃ are provided on its rear side at the positions confronting the mesa grooves 2₁~2₃ so as to form a thyristor element of NPNP-structure in each element region. These mesa grooves at both surface and rear sides are coated with glass passivation films 4₁~4₃ and 5₁~5₃, respectively. And when separating thus processed substrate into individual elements by use of rubber rollers, notches 6₁~6₃ and 7₁~7₃ are previously formed on the glass passivation films at the bottom portions of the mesa grooves, respectively.

COPYRIGHT: (C)1980,JPO&Japio

⑨ 日本国特許庁 (JP)

① 特許出願公開

⑩ 公開特許公報 (A)

昭55—156336

⑪ Int. Cl.³
H 01 L 21/78

識別記号

厅内整理番号
7131—5F

⑫ 公開 昭和55年(1980)12月5日

発明の数 1
審査請求 未請求

(全 2 頁)

⑬ 半導体装置の製造方法

⑭ 特 願 昭55—44966

⑮ 出 願 昭50(1975)5月27日

(前実用新案出願日援用)

⑯ 発明者 市川哲雄

大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑰ 発明者 大内山健

大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑱ 発明者 高田幹雄

大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑲ 発明者 松村保男

大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑳ 発明者 熊野省治

大阪市北区梅田1丁目8番17号
新日本電気株式会社内

㉑ 出願人 新日本電気株式会社

大阪市北区梅田1丁目8番17号

明細書

発明の名称

半導体装置の製造方法

特許請求の範囲

半導体ウエーハに複数個の半導体素子を形成する工程と、各半導体素子の隣接する界面に、その表面両面よりエフチングしてメサ構造を形成する工程と、各メサ構造にガラス保護膜を形成する工程と、該表面両面の各メサ構造のガラス保護膜に切込みを設ける工程と、この半導体ウエーハを機械的に分割する工程とを含む半導体装置の製造方法。

発明の詳細な説明

本発明は半導体ウエーハに形成された複数個の半導体素子を、特性に悪影響を及ぼさないよう分離できるようにした半導体装置の製造方法に関するものである。

一般に、半導体素子は、一枚の半導体ウエーハ

に、異なる場所の不純物を順次挿入して、該数個の半導体素子を形成し、各半導体素子の隣接する表面両面の界面に、ダイヤモンドカッタ又はレーザ光で切込みを設け、半導体ウエーハをムローラを当てるにより、上記切込みより個々に分離して得ている。

而して、ある種の半導体素子、例えばサイリスタ素子においては、切込みを設ける前に、各半導体素子の隣接する界面に、その裏面両面よりエフチングしてメサ構造を形成するとともに、これら各メサ構造にガラス保護膜を形成し、しかも後述の側面各メサ構造のガラス保護膜に半導体ウエーハをも切込む切込みを設けるようしているが、このような半導体ウエーハを、ムローラを通して個々のサイリスタ素子に分離する際にはしばしば底面側のガラス保護膜に亀裂が生じて、ガラス保護膜が剥離し、メサ構造が露出して特性が劣化するといったことがあつた。

本発明は、上記点を改良するために施されたもので、ガラス保護膜への切込みを、該表面内の

メラ樹脂が成ることを特徴とする。

以下、本発明の一実施例を図面により説明する。図において、1a, bはガラスシリコンウェーハの表面周囲より2a, bの不純物を被覆した後、3a, bより3a, bの不純物を放出して形成したN型メラ樹脂のメラ樹子、4a, b, 5a, bはサイリスタガチの形成する界面に、エンチャントすることにより形成した表面側のメラ樹、6a, b, 7a, bは上記メラ樹、8a, bと連続に形成し、且つ上記メラ樹、8a, bと矢印対応させて形成した表面周囲メラ樹。4a, 4b, 4c, 5a, 5b, 6a, 6b, 7a, 7bは表面周囲の各メラ樹に、ダイヤモンドカッタ又はレーザ光により、ガラス保護膜をも切込んで抜けた刃込みである。尚、これら刃込みは、対応する表面メラ樹で、内応するよう刃けた方がよい。又表面側の刃込みは必ずしも半導体ウェーハまで達していないともよい。

本発明は以上のような構成よりなる半導体ウェーハ、プロローフ等を対することにより、簡便的

-3-

特開昭55-156336(2)
に個々に分割する点、分割が表面周囲の刃込みより開始され、ガラス保護膜等に遮断剣のガラス保護膜に異種が生じるのを防止することができ、ガラス保護膜の逸脱による特徴上の不利益が一掃される。

図面の略称と説明

図は本発明に係る半導体装置の製造方法に供する半導体ウェーハの一実施例の断面図である。

1a, b, 2a, b --- 半導体素子、

3a, 3b, 4a, 4b, 5a, 5b, 6a, 6b, 7a, 7b --- メラ樹、

6a, 6b, 7a, 7b --- ガラス保護膜、

8a, 8b --- 刃込み。

特許出願人 新日本電気株式会社

